

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平7-154424

(43)公開日 平成7年(1995)6月16日

(51)Int.Cl.⁶

識別記号

庁内整理番号

F I

技術表示箇所

H 0 4 L 12/56

12/28

H 0 4 Q 3/00

9077-5K

8732-5K

H 0 4 L 11/ 20

1 0 2 E

G

審査請求 未請求 請求項の数11 O L (全 8 頁)

(21)出願番号

特願平6-203831

(22)出願日

平成6年(1994)8月29日

(31)優先権主張番号

P 4 3 2 8 8 6 2 . 6

(32)優先日

1993年8月27日

(33)優先権主張国

ドイツ (D E)

(71)出願人 391027365

アルカテル・セル・アクチエンゲゼルシャ
フト

ALCATEL SEL AKTIENG
ESELLSCHAFT

ドイツ連邦共和国、70435 シュツットガ
ルト、ローレンツシュトラッセ 10

(72)発明者 ゲルト・ヒルマン

ドイツ連邦共和国、70184 シュツットガ
ルト、エックレンシュトラッセ 27パー

(74)代理人 弁理士 鈴江 武彦

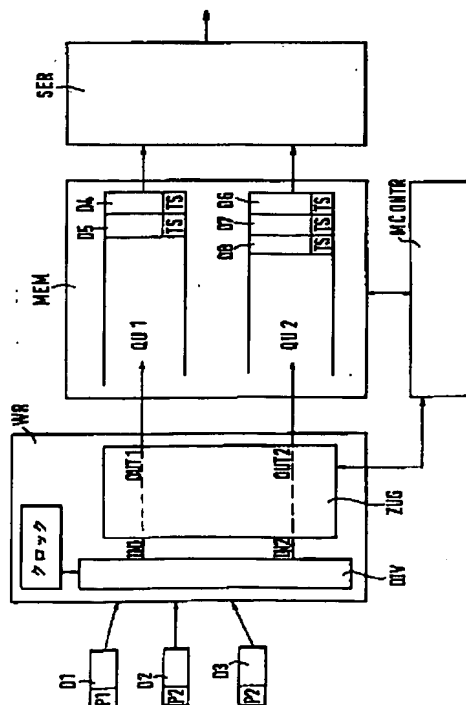
最終頁に続く

(54)【発明の名称】 データパケットを一時的に記憶する方法および装置とこのような装置を有する交換装置

(57)【要約】

【目的】 本発明は、データパケットの一時的記憶においてデータパケットの異なった性質に基づいた処理を可能にすることを目的とする。

【構成】 入来データパケットD 4～がそこに含まれるデータP 1、P 2に基づいて2以上の論理列QU 1、QU 2に分配されて一時的に記憶され、全ての論理列が共通のバッファメモリMEMを共有し、その位置がメモリ管理装置MCONTRによって必要な時のみにダイナミックに個々の論理列に割当てられ、適切な処理が全データパケットに対して保証されないときには、論理列の長さについてのデータが決定され、入来データパケットが割当てられる論理列のデータが決定され、決定されたデータに基づいて優先度の低いデータパケットD 6～D 8が拒否されるパケットとして選択されることを特徴とする。



【特許請求の範囲】

【請求項1】 入来データパケットがそこに含まれるデータに基づいて2以上の論理列に分配され、一時的に記憶され、全ての前記論理列が共通のバッファメモリを共有し、その位置が必要な時のみにダイナミックに個々の論理列に割り当てられるデータパケットの一時的記憶方法において、

適切な処理が全てのデータパケットに対して保証されないとき個々のデータパケットが拒否され、論理列の長さについてのデータが決定され、入来データパケットが割り当てられる論理列のデータが決定され、拒否されるデータパケットが前記決定されたデータに基づいて選択されることを特徴とするデータパケットの一時的記憶方法。

【請求項2】 拒否されるデータパケットはそれらが論理列に挿入される前に拒否されることを特徴とする請求項1記載の方法。

【請求項3】 拒否されるデータパケットが論理列から除去されることを特徴とする請求項1記載の方法。

【請求項4】 データパケットが優先度クラスを前記データパケットに割り当てるデータを含み、各優先度クラスに対して別々の論理列が提供され、前記優先度クラスに割り当てられたデータパケットが一時的に記憶されることを特徴とする請求項1記載の方法。

【請求項5】 論理列の全長が決定され、少なくとも1つの優先度クラスが基準値を割り当てられ、論理列の全長が基準値を超過するならばこのような優先度クラスの入来データパケットが拒否されることを特徴とする請求項2または4記載の方法。

【請求項6】 高い優先度クラスの入来データパケットに対してバッファメモリで利用できるメモリ位置がないときには、低い優先度クラスのデータパケットがバッファメモリから除去されることを特徴とする請求項3または4記載の方法。

【請求項7】 2つ以上の論理列がデータパケットを一時的に記憶するために設けられているバッファメモリと、必要となすのみダイナミックにメモリ位置を個々の論理列に割り当てるように設計された論理列管理用のメモリ管理装置と、前記データパケットに含まれたデータに基づいて入来データパケットを論理列の1つに挿入するように設計された書込み装置と、論理列からのデータパケットの読取り用のサーバとを具備するデータパケットの一時的記憶装置において、

メモリ管理装置は論理列の長さについてのデータを決定する装置を備え、データパケットの拒否の決定を行うため、論理列の長さの情報を与えるデータと入来データパケットが割り当てられる論理列の情報を結合するように設計されたデータパケットを拒否するためのアクセス制御装置が書込み装置に設けられていることを特徴とするデータパケットの一時的記憶装置。

【請求項8】 書込み装置に時間スタンプを各入来する

データパケットに割り当てるための装置が設けられ、論理列が読取り期間中に処理される順序が時間スタンプにより影響されることができるようサーバが設計されていることを特徴とする請求項7記載の装置。

【請求項9】 サーバが個々の列が処理される順番を決定する2以上の動作モード間で切換え可能であるように設計されていることを特徴とする請求項7記載の装置。

【請求項10】 アクセス制御装置がデータパケットの拒否に関連する少なくとも2つの動作モード間で切換え可能であるように設計されていることを特徴とする請求項7記載の装置。

【請求項11】 2つ以上の論理列がデータパケットを一時的に記憶するために設けられているバッファメモリを備えている少なくとも1つのデータパケットの一時的記憶装置と、必要となすにのみメモリ位置を個々の論理列にダイナミックに割り当てるように設計されている論理列管理用のメモリ管理装置と、前記データパケットに含まれているデータに基づいて入来データパケットを論理列の1つに挿入するように設計された書込み装置と、論理列からデータパケット読取るためのサーバとを具備したデータパケット伝送用の通信回路網の交換装置において、

メモリ管理装置は論理列の長さについてのデータを決定する装置を備え、書込み装置はデータパケットの拒否についての決定を行うため論理列の長さについての情報を与えるデータと入来データパケットが割り当てられる論理列の情報を結合するように設計されているデータパケットを拒否するためのアクセス制御装置を備えていることを特徴とするデータパケット伝送用の通信回路網の交換装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、入来データパケットがそこに含まれるデータに基づいて2以上の論理列に分配され、一時的に記憶され、全ての前記論理列が共通のバッファメモリを共有し、その位置が必要な時のみにダイナミックに個々の論理列に割り当てられるデータパケットの一時的記憶方法と、その方法に使用されるデータパケットを一時的に記憶する装置と、このような装置とを有する交換装置とに関する。

【0002】

【従来の技術】 ATMスイッチング装置（ATM＝非同期転送モード）では幾つかの入力ラインからデータパケット（“セル”とも呼ぶ）を1つの同一の出力ラインに切換えることがしばしば必要である。これはデータパケットがスイッチング処理の前、その期間中、その後で一時的に記憶される理由である。一時的な記憶は幾つかの並列な列の形態であってもよい。列は異なるように処理され、従ってデータパケットはこれらが属する列により異なった処理を受ける。

【0003】本発明は文献(“Eledtrisches Nachricht enwesen”, 64巻、No.2/3、1990年、アルカテルの技術 的文献)の162～163頁に説明されている装置を基礎と するものである。

【0004】この装置はATMデータパケット(“AT Mセル”または“セル”と呼ばれる)のための集積され たスイッチング素子の一部を形成する。この装置では異 なった入口から来るデータパケットが幾つかの列に割当 てられ、一時的にそこに記憶される。

【0005】

【発明が解決しようとする課題】その装置はメモリ装 置、ルート設定論理装置、メモリ管理装置を具備してい る。メモリ装置は幾つかの論理列を含む。ここで“論 理”とは列へのメモリセルの割当てが永久的ではなく可 変であることを意味している。ルート設定論理装置は入 来データパケットをデータパケットに含まれているルー ト情報を基にして論理列の1つに割当てて。メモリ管理 装置はメモリ装置の位置を管理する。論理列の列の制御 を確実にし、空白の位置を列に挿入されるデータパケッ トに割当てて。

【0006】これは結果として以下の動作モードとな る。即ちメモリ装置に到達するデータパケット流はルー ト情報を基にして論理列に分配され、一時的にそこに記 憶される。このような装置はデータパケットが異なった 方法で処理されることが出来る異なった列に一時的に記 憶され、記憶装置の利用が固定したメモリ割当てを有す る別々の列よりも良好である利点を有する。これはメモ リ装置の全ての位置が全ての列により使用されることが できることから生じる。過負荷状態下では、データパケ ットの損失の可能性は一般的に論理列による加入と独立 している。しかしながら、多くの場合には所定の列内の データパケットの損失の可能性ができるだけ低いことが 必要である。重要ではない別の列のデータパケットでは 僅かに高い損失の可能性が許容される。それ故、本発明 の目的は異なった論理列に一時的に記憶されるデータパ ケットの異なった性質に基づいた処理を達成することであ る。

【0007】

【課題を解決するための手段】この目的は、適切な処理 が全てのデータパケットに対して保証されないとき個々の データパケットが拒否され、論理列の長さについての データが決定され、入来データパケットが割当てられる 論理列のデータが決定され、拒否されるデータパケット が前記決定されたデータに基づいて選択されることを特徴 とするデータパケットの一時的記憶方法およびメモリ 管理装置が論理列の長さについてのデータを決定する装 置を備え、データパケットの拒否の決定を行うため、論 理列の長さの情報を与えるデータと入来データパケット が割当てられる論理列の情報を結合するように設計され たデータパケットを拒否するためのアクセス制御装置

が書込み装置に設けられていることを特徴とするデータ パケットの一時的記憶装置によって達成される。このよ うな方法および装置の有効な使用形態として、メモリ管 理装置が論理列の長さについてのデータを決定する装置 を備え、書込み装置はデータパケットの拒否についての 決定を行うため論理列の長さについての情報を与えるデ ータと入来データパケットが割当てられる論理列の情報 とを結合するように設計されているデータパケットを拒 否するためのアクセス制御装置を備えていることを特徴 とするデータパケット伝送用の通信回路網の交換装置が 提供される。

【0008】本発明の基本的思想はデータパケットの選 択的な排除によりデータパケットの避けることのできな い損失を組織化することである。それほど重要ではない 列のデータパケットはより重要なデータパケットのため の余地をつくるために所定の制限内で故意に排除され る。

【0009】本発明のさらに重要な利点はその他の請求 項に記載されている。特にデータパケットはデータパケ ットに示されている優先度クラスに基づいて列に割当て られ、従って各列は別の優先度クラスのデータパケット を含む。列は異なった周波数で処理される。従って優先 度依存損失と遅延の可能性を有する一時的な記憶は有効 な方法で実行される。

【0010】本発明の特別の利点は少数のパラメータの 構成が異なった損失または遅延の可能性を生じる幾つか の方法の間での切換えを可能にすることである。これは 少数のパラメータ構成によりそれぞれの仕事に調節され る一般に応用可能な一時的記憶を提供する。

【0011】本発明の別の利点はATMに適切であるよ うな高速度の必要条件を満たすことである。

【0012】

【実施例】本発明は添付図面を伴って以下の実施例の説 明から明白になるであろう。データパケットの一時的記 憶用の顕著な装置の顕著な使用方法を最初に説明する。 これはサーバとアクセス制御装置の幾つかの動作モード の間で切換えが可能である。入来データパケットは2つ の優先度クラスの1つに割当てられ、優先度クラスにし たがって2つの列の一方に割当てられる。入来データパ ケットを別の規定により列に割当てすることも可能であ る。例えばデータパケットはそこに含まれるルート情報 により列に分配され、この場合、各列も異なった出力に 割当てられる。

【0013】図1は書込み装置WR、バッファメモリM EM、サーバSER、メモリ管理装置MCONTRを示 している。書込み装置WRでは3つのデータパケットD 1、D2、D3が到達している。データパケットD1、 D2、D3は通信回路網で情報交換に使用されるような データパケットである。これらはこれらが割当てられて いる優先度を示す指示子を伝送する。データパケットD

5

1は優先度クラスP1に割当てられ、データパケットD2、D3は優先度クラスP2に割当てられ、P1はより高い優先度クラスに対応し、P2は低いクラスに対応する。データパケットD1、D2、D3は別形態または別の使用法も有していてもよい。このようなデータパケットは例えば、データ処理システムの待ち処理の処理内容を表すものである。

【0014】書き込み装置WRは入来データパケットを受信し、これらをバッファメモリMEMに入れる。さらに、データパケットの拒否を決定し、この範囲までメモリ管理装置MCONTRと信号を交換する。バッファメモリMEMでは2つの論理列QU1、QU2が形成されている。列QU1は2つのデータパケットD4、D5を含み、列QU2は3つのデータパケットD6、D7、D8を含む。これらの各データパケットには時間スタンプTSが設けられ、これはデータパケットの到着順序の情報を与える。列QU1、QU2はFIFO列(FIFO=先入れ先出し)として組織される。列を異なる組織にすることも可能であり、即ち、結果として短いデータパケットが最初に読取られる。サーバSERは所定のアルゴリズムにしたがってバッファメモリMEMからデータパケットを読取り、例えばそれらを送信機へ送る。

【0015】メモリ管理装置MCONTRはバッファメモリMEM中の記憶処理を行う。これは空白のバッファメモリMEMの位置のリストを保持し、後者が2つの列QU1、QU2の一方に書き込み装置により入力されるとき、データパケットにこのリストから位置を割当てる。さらにメモリ管理装置MCONTRが論理列QU1、QU2を組織し、レジスタ中の2つの列QU1、QU2の現在の長さおよび全長についての情報を記憶する。このレジスタのデータは書き込み装置WRに通信される。

【0016】データパケットが論理列QU1、QU2の1つからサーバにより読取られるときそれにより占有されているメモリ位置は空白のメモリ位置のリストに入れられる。この例ではデータパケットのメモリ位置は書き込み装置WRからの信号に回答してメモリ管理装置MCONTRにより空白のメモリ位置のリストに入れられることも可能である。このデータパケットは従って列から消去される。

【0017】書き込み装置WRはクロックCLOCKと、分配装置DIVと、2つの入力IN1とIN2と2つの出力OUT1、OUT2とを有するアクセス制御装置ZUGを含む。分配装置DIVは入来データパケットD1、D2、D3を受信し、これらが優先度クラスP1に属すならばアクセス制御装置ZUGの入力IN1に送り、これらが優先度クラスP2に属すならば入力IN2に送る。さらに、分配装置DIVは入来データパケットに時間スタンプTSを与える。この時間スタンプTSはデータパケットの到着時間を示す。到着時間はクロックCLOCKにより決定される。時間スタンプTSのデー

6

タパケットの到着順序を記録する他の方法も可能である。例えば、各入来データパケット上の1つにより増加されるカウンタのカウントが時間スタンプTS中に記憶されることもできる。この時間スタンプは異なった方法でデータパケットに関連される。例えばそれは別々に記憶されメモリ管理装置MCONTRにより各データパケットと結合される。データパケットと関連する時間スタンプTSなしですますことも可能である。しかしながら到着順序の情報はサーバSERに利用できない。

10 【0018】アクセス制御装置ZUGは必要ならば、入力IN1、IN2に供給されるデータパケットを列QU1、QU2にそれぞれ挿入する。さらにアクセス制御装置ZUGはデータパケットの拒否についての決定を行い、拒否を行うか初期化する。最後に、信号をメモリ管理装置MCONTRと交換する。

【0019】アクセス制御装置ZUGの動作は図2で詳細に示されている。図2は入力IN1、IN2と出力OUT1、OUT2とを有するアクセス制御装置ZUGを示している。これは2つの制御装置CONTR1、CONTR2を含んでいる。制御装置CONTR1は列QU1に割当てられたデータパケットを受持ち、制御装置CONTR2は列QU2に割当てられたデータパケットを受持つ。

【0020】制御装置CONTR1は2つの比較装置CMP1、CMP2と2つのANDゲートAND1、AND2とNOTゲートNOTと書き込み装置E1とを有する。制御装置CONTR2は2つの比較器CMP3、CMP4とANDゲートAND3と書き込み装置E2とを有する。

30 【0021】2つの信号nとn2はメモリ管理装置MCONTRから受信され、信号DOPO2はメモリ管理装置MCONTRに送信される。信号POENによりアクセス制御装置ZUGの動作モードが設定される。信号POENは例えばモード選択スイッチまたは高レベル制御装置から受信される。信号n2の値は列QU2のデータパケット数に対応し、信号nの値は列QU1、QU2の両者のデータパケットの総数に対応する。信号DOPO2とPOENは2進信号であり、その値は論理1または論理0である。

40 【0022】書き込み装置E1は入力IN1に到達するデータパケットを出力OUT1を経て列QU1に挿入し、またはそれを拒否する。書き込み装置E2は入力IN2と出力OUT2に接続され、同一の方法でデータパケットを処理する。ANDゲートAND1、AND2、AND3はそれぞれ2個の入力と1個の出力を有する。

【0023】信号nは比較器CMP1、CMP2、CMP3に供給され、信号n2は比較器CMP4に供給され信号POENはANDゲートAND3の第1の入力に供給される。比較器CMP3は信号nの値をしきい値S2と比較する。信号nの値がしきい値S2より大きいか等

しいならば書込み装置E2は到着するデータパケットを拒否するように指示される。そうでないならば書込み装置はこれらのデータパケットを出力OUT2を経て列QU2に挿入する。比較器CMP4は信号n₂の値とゼロとを比較する。値がゼロよりも大きいならば論理1はANDゲートAND3の第2の入力に供給される。そうでなければ論理0が供給される。ANDゲートAND3

(信号PA)の出力がANDゲートAND2の第1の入力に結合され、NOTゲートNOTを通してANDゲートAND1の第2の入力に結合される。

【0024】信号nの値は比較器CMP1のしきい値S1および比較器CMP2のしきい値Nと比較される。信号nの値がしきい値S1よりも大きいとか等しいならば論理1はANDゲートAND1の第1の入力に供給され、そうでなければ論理0が供給される。値がしきい値Nよりも大きいとか等しいならば論理1はANDゲートAND2の第2の入力に供給され、そうでなければ論理0が供給される。論理1がANDゲートAND1の両入力に供給されるならば書込み装置E1は入来データパケットを拒否するように指示される。そうでなければ書込み装置E1はこれらのパケットを出力OUT1を介して列QU1に挿入する。ANDゲートAND2の両入力に供給される論理1でメモリ管理装置MCONTRは列QU2の端部に位置するデータパケットをバッファメモリMEMから消去するために信号DOPO2によって指示される。しきい値S1、NはバッファメモリMEM中に記憶されることができる最大数のデータパケットに等しい値に設定される。アクセス制御装置ZUGが2つより多数の優先度クラスに延在されるならばしきい値S1はもっと低い値に設定されなければならない。部品の前述の接続は2つの異なった動作モード間での切換えを可能にする。

【0025】信号POENの値が論理0に設定されるならば、2つの列QU1、QU2の所定の全長から始まって高い優先度クラスP1の列QU1を目的とするデータパケットのみがバッファメモリMEMに入れられる。列QU2のためのデータパケットは拒否される。このしきい値の全長はしきい値S2を経て設定される。信号POENの値が論理1に設定されるならば、しきい値S2がしきい値NとS1と同一の値に設定され、2つの列QU1、QU2の全長がバッファメモリMEMの容量における限界に到達するならばデータパケットは低い優先度クラスP2の列QU2に記憶され、一方のデータパケットは列QU1から消去され、空白位置は高い優先度クラスP1のデータパケット記憶用に使用される。

【0026】2つの動作モード間の切換えなしで、2つのモードの一方のみを行うことが可能である。またデータによりデータパケットをメモリ管理装置MCONTRから選択的に拒否する他の方法とデータパケットの列への割当てが使用されてもよい。このような方法は例えば

しきい値N、S1、S2または信号POENを適切な他の値に設定することによって実行することができる。また2つより多数の動作モード間での切換えも可能である。

【0027】サーバSERの動作が図3で詳細に示されている。図3はバッファメモリMEMとサーバSERの部分を示している。バッファメモリMEMは2つの論理列QU1、QU2を有し、それぞれ列QU1、QU2の始めに記憶される2つのデータパケットD4、D6を含んでいる。サーバSERは読取り装置AE、スイッチング装置SW、3つの制御装置SERVE1、SERVE2、SERVE3を含んでいる。読取り装置AEはデータパケットを列QU1、QU2のいずれか一方の始めから取り、それを通過させる。データパケットが取られる列は3つの制御装置SERVE1、SERVE2、SERVE3の1つにより決定される。スイッチング装置SWによりこれらの3つの制御装置の1つを選択することにより3つの動作モードの1つが設定される。各モードは異なった制御方法に対応する。

【0028】第1のモードでは制御装置SERVE1はデータ入力TS1を経てデータパケットD4の時間スタンプTSを読取り、データパケットD6の時間スタンプはデータ入力TS2を経て読取られる。このデータにより制御装置SERVE1は2つのデータパケットD4、D6の時間スタンプを書取り装置WRに先に到着した読取り装置により読取らせる。この方法で全てのデータパケットのFIFO処理が行われる。第2のモードでは制御装置SERVE2は2つの入力DA1とDA2を経て少なくとも1つのデータパケットが列QU1、QU2にそれぞれ含まれるか否かをチェックする。このデータにより、制御装置SERVE2はデータパケットが列QU1に存在しない場合にのみデータパケットを列QU2から読取らせる。この方法で高い優先度クラスP1のデータパケットの遅延優先が行われる。第3のモードでは制御装置SERVE3は読取り装置AEが所定の時間期間に各列から読取るように指示する。この方法で2つの列のサイクル処理が達成される。

【0029】サーバSERの幾つかのモード間でスイッチング能力なしで済まし、1つのみのモードを使用するか、前述した方法以外の制御方法を使用することも可能である。

【0030】前述の例では2つの優先度クラスの一方に属すデータパケットを一時的に記憶する装置が示されている。この装置も2つより多くの優先度クラスのうちの1つに割当てられたデータパケットの一時的な記憶を許容するように拡張されている。このことを行うために各付加的な優先度クラスに対しては1つの付加的な列がバッファメモリMEMに形成されなければならない、1つの付加的な制御装置がアクセス制御装置に設けられなければならない。この付加的な制御装置は制御装置CONT

R 1 と同一の構成であり、クラス P 1 よりも高い優先度クラスに割当てられる。付加的な回路が加えられなければならない、これは付加的な制御装置用の信号 P A に対応する信号を発生し、信号 P O E N と n_2 から列 Q U 1 の長さを示す値を有する制御装置 C O N T R 1 用の信号を得る。

【0031】ATM交換装置における本発明の有効な使用方法を以下説明する。このような交換装置ではスイッチング回路網により切换えられる前、その期間中、またはその後に入来データパケットが一時的に記憶される。従って入来するまたは出力するデータパケットを伝送す

る各ラインまたはスイッチング処理のために1つの一時的な記憶装置が必要とされる。これらの点で、本発明により一時的にデータパケットを記憶する装置が使用される。

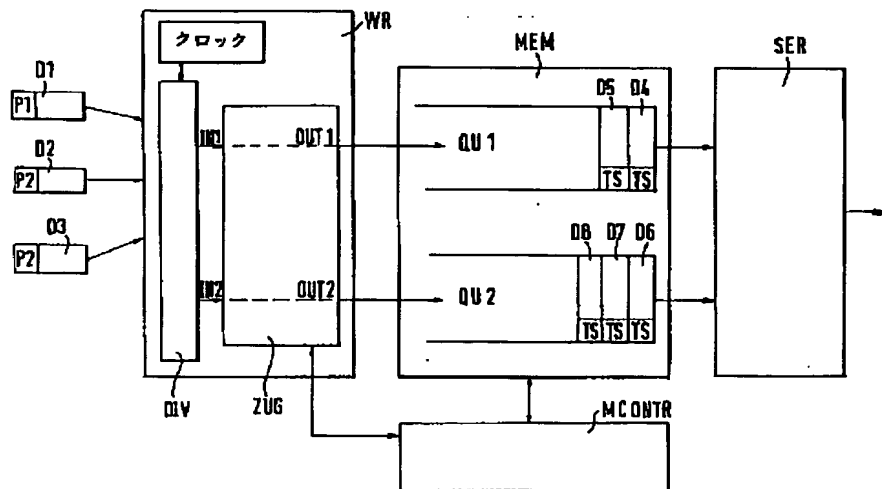
【図面の簡単な説明】

【図1】本発明による方法を使用する一時的にデータパケットを記憶するための顕著な装置の概略図。

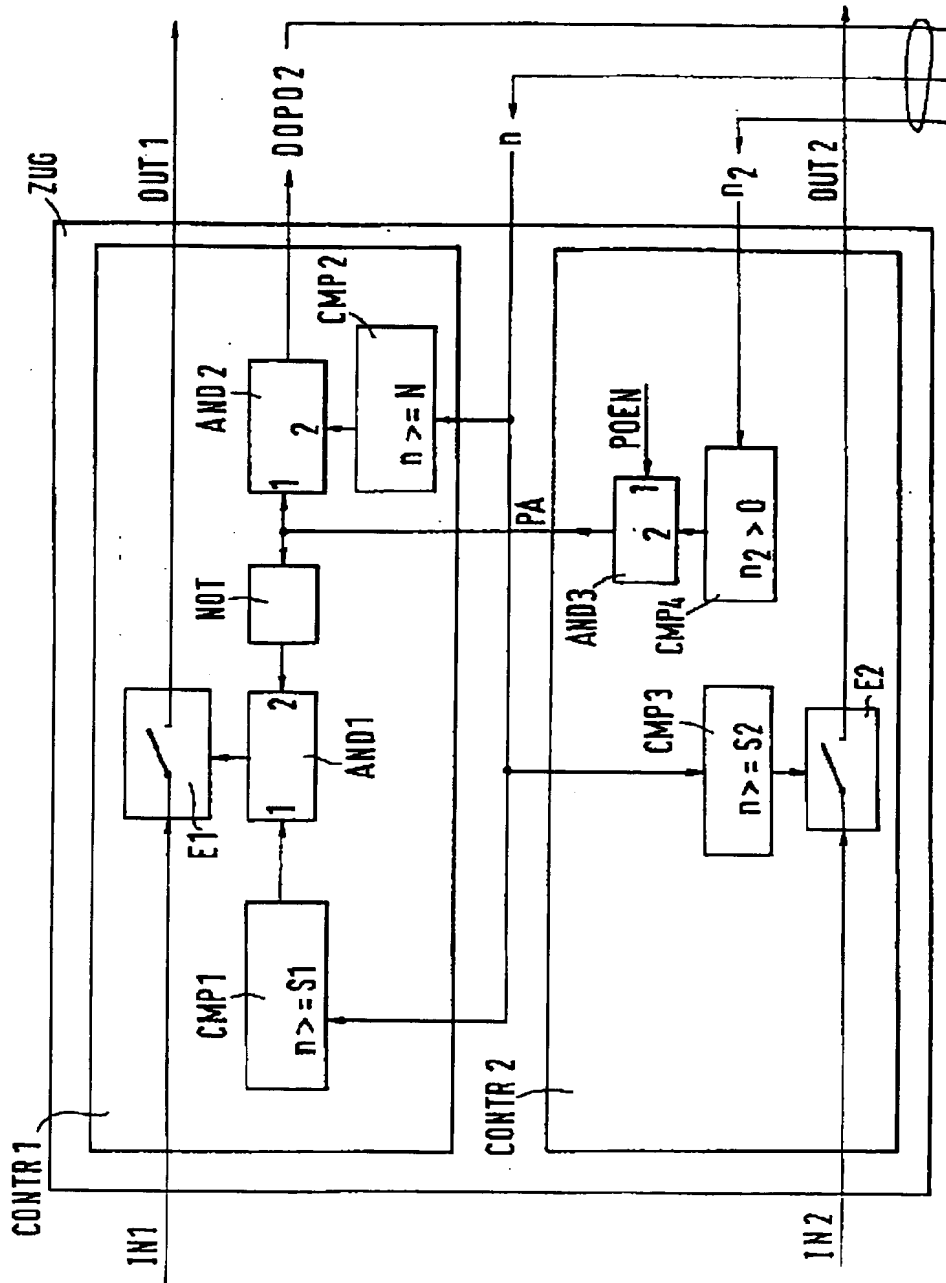
【図2】図1の装置用の書き込み装置部分の概略図。

【図3】図1の装置用のサーバおよびバッファメモリ部分の概略図。

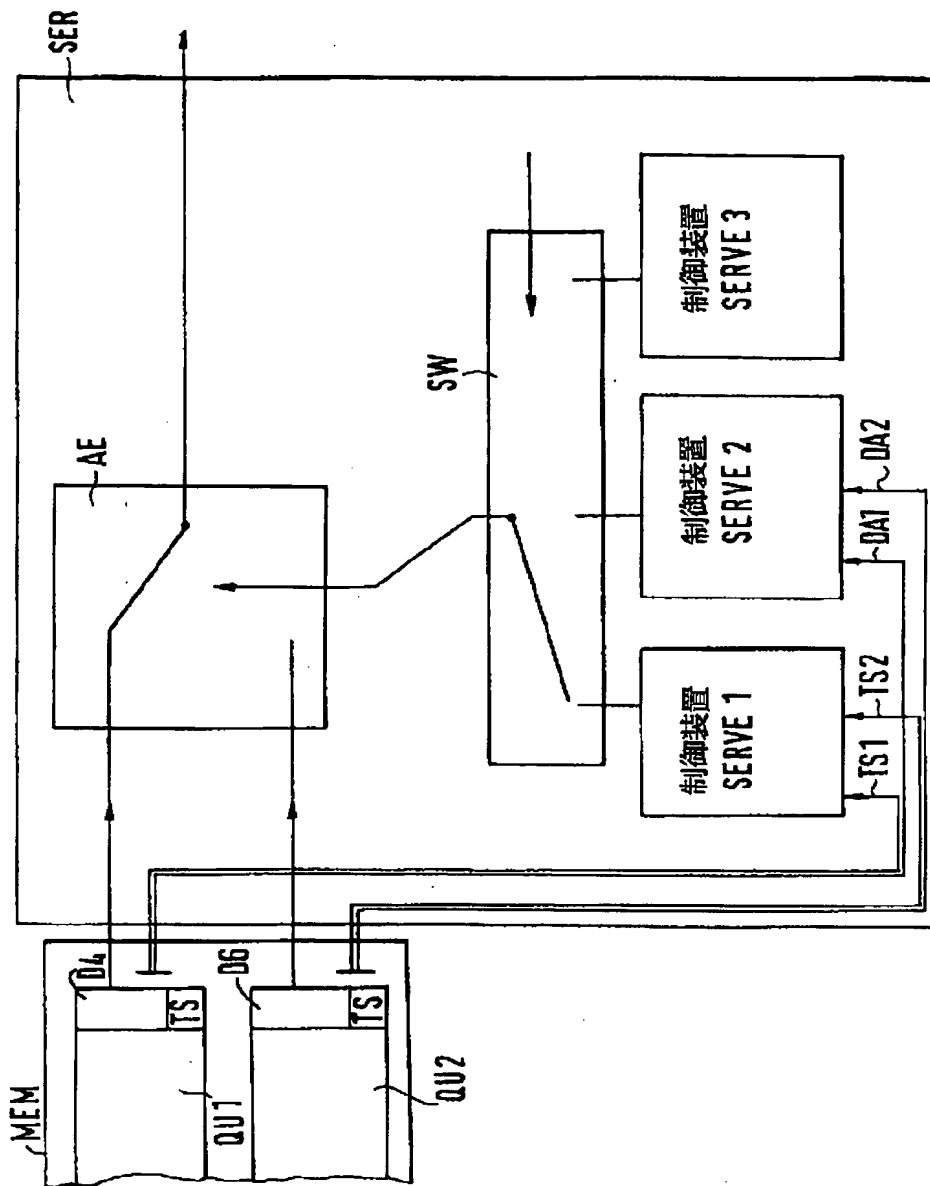
【図1】



【図 2】



【図3】



フロントページの続き

(72)発明者 マティアス・ビッペンベック
ドイツ連邦共和国、70193 シュツットガ
ルト、シェップェルシュトラッセ 29

(72)発明者 カール・シュローディ
ドイツ連邦共和国、71296 ハイムスハイ
ム、マルダーベーク 11